

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164547

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H01L 29/786
 G09G 3/20
 G09G 3/28
 G09G 3/30
 H01L 21/762
 H01L 21/8238
 H01L 27/092
 H01L 27/08
 H01L 27/12

(21)Application number : 2000-363055

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.2000

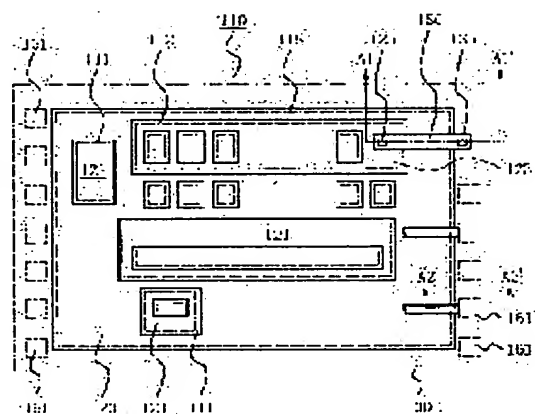
(72)Inventor : TOEDA MASAHIRO
TAKASUGI KAZUNARI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the potential of a conductive supporting substrate can be fixed at a desired level while employing an SOI substrate as a chip substrate without requiring any extra process or a back electrode.

SOLUTION: A chip 110 comprises an SiO₂ film 102 and a P type second Si substrate 103 formed sequentially on one major surface of a P type first Si substrate 101. The second Si substrate 103 has isolation trenches 111 and 112, an outermost circumferential isolation trench 115, a plurality of element forming regions 120 isolated by these trenches, second element forming regions 121 and 123, a peripheral region 130, and wiring 150 for connecting the contact region 135 of the peripheral region 130 with a contact region 125 being connected with a desired potential, e.g. the ground potential, in the second element forming region 123 surrounded by the isolation trench 112.



110: チップ
 111, 112: 分離溝
 115: 最外周分離溝
 120: エレメント形成領域
 121, 123: 第2要素形成領域
 125, 135: コンタクト領域
 130: 周辺領域
 150: 周辺接続配線
 160, 161: 外部接続端子

LEGAL STATUS

- 110 チップ
111, 112 分離溝
115 最外周分離溝
120 素子形成領域
121, 123 第2素子形成領域
125, 135 コンタクト領域
130 周辺領域
150 周辺領域接続記録
161 外部接続電極部

【特許請求の範囲】

【請求項1】 導電性支持基板の上に絶縁層を介して半導体層を積層した構造を有するSOI (Silicon On Insulator) 基板の前記半導体層中に所望の素子を形成したチップを有する半導体装置であって、前記チップは、前記半導体層中に、絶縁材料を充填した前記絶縁層に達する分離溝と、この分離溝で周囲を囲み内部に前記所望の素子を形成した素子形成領域とを、それぞれ複数備え、更にいずれの前記分離溝にも囲まれない周辺領域の所定の位置に設けられたコンタクト領域と、少なくとも一つの前記素子形成領域内の所定の電位の電極とを接続する周辺領域接続配線を有することを特徴とする半導体装置。

【請求項2】 前記分離溝の中の一つが、全ての前記素子形成領域を囲む最外周分離溝である請求項1記載の半導体装置。

【請求項3】 前記チップが、少なくとも2重の前記分離溝で周囲を囲み内部に前記所望の素子を形成した第2素子形成領域を更に備えた請求項1又は2記載の半導体装置。

【請求項4】 前記チップが、低電圧動作回路と、高電圧動作回路とを含み、少なくとも前記高電圧動作回路を構成する素子は前記第2素子形成領域内に形成されている請求項3記載の半導体装置。

【請求項5】 前記チップが、表示装置の駆動回路部を含む請求項1乃至4いずれか1項に記載の半導体装置。

【請求項6】 前記チップが電力回収回路に接続する回収用電極を更に備え、この回収用電極は前記チップ内で前記駆動回路部と接続している請求項5記載の半導体装置。

【請求項7】 前記表示装置が、少なくともプラズマディスプレイ装置及びエレクトロルミネッセンスディスプレイ装置を含む平面型表示装置の中から選択されたものである請求項6記載の半導体装置。

【請求項8】 前記導電性支持基板が一導電型半導体基板であり、少なくとも前記チップの前記周辺領域となる前記半導体層は、一導電型である請求項1乃至7いずれか1項に記載の半導体装置。

【請求項9】 前記チップを、前記導電性支持基板が露出した前記チップの裏面がチップを搭載するアイランドを含む他の導電性材料と接触しない状態で、パッケージに搭載した請求項1乃至8いずれか1項に記載の半導体装置。

【請求項10】 前記パッケージが、TCP (Tape Carrier Package) である請求項9記載の半導体装置。

【請求項11】 一導電型半導体基板上に絶縁層を介して一導電型半導体層が形成されたSOI (Silicon On Insulator) ウェハを準備する第1工程と、前記一導電型半導体層に前記絶縁層に達する分離溝を開口して所定の絶縁材料を充填し、複数の素子形成領域を区画すると共

に同一チップ内の全ての前記素子形成領域を囲む最外周分離溝を形成する第2工程と、前記分離溝で区画された複数の前記素子形成領域に所望の素子を形成する第3工程と、前記ウェハ上に互いにスクライブ領域を介して整列状態で配列された複数の前記チップの各々について、前記最外周分離溝の外側の周辺領域の所定の位置に設けられたコンタクト孔を介して、前記素子形成領域内の所定の電位の電極と接続する周辺領域接続配線を含むチップ内接続配線を形成する第4工程と、前記スクライブ領域をダイシングすることにより複数の前記チップを個片化する第5工程と、を少なくとも含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、導電性支持基板上に絶縁層を介して所望の素子が形成される半導体層を積層した構造を有するSOI (Silicon On Insulator) 基板を用いた半導体装置に関し、特にプラズマディスプレイ装置 (以下、PDP装置とする) 或いはエレクトロルミネッセンスディスプレイ装置 (以下、EL装置とする) 等の平面型表示装置に適用して効果的な、薄型高耐圧の半導体装置に関する。

【0002】

【従来の技術】 PDP装置やEL装置等の平面型表示装置においては、小型化、薄型化或いは低消費電力化等を実現するため、高耐圧半導体装置が多用されている。特に、低消費電力化のためには、使用する半導体装置を初めとする部品の低消費電力化と共に、その構造上必然的に生じる大きな浮遊容量の充放電による無効電力の消費を抑制するため、電力回収回路を付加して、表示装置の消費電力を低減することが行われている。

【0003】 図12は、特許第2770657号公報 (以下、公知例1とする) に従来技術として記載されたプラズマディスプレイの低電力駆動装置を説明するための図で、(a)は回路図、(b)はその動作波形図である。図12を参照すると、公知例1に開示された低電力駆動装置 (電力回収回路) 600は、負荷容量CLに比べ十分大きい容量をもつコンデンサCRと、CRからCLを充電するためのスイッチの役割をするpチャネル型電界効果トランジスタ (以下、pMOSとする) 611とダイオードD1と、CLを放電するためのスイッチの役割をするnチャネル型電界効果トランジスタ (以下、nMOSとする) 621とダイオードD2と、充放電時にCLと共振回路を形成して無効電力を回収するためのインダクタL1と、出力をV0に固定するpMOS612と、接地電位に固定するnMOS622とを有している。負荷容量CLはプラズマディスプレイパネルに存在する対向容量や線間容量等の寄生容量であり、駆動周波数をf0とすると、通常なら $f0 \times CL \times V0^2$ の電力が無駄に消費されてしまう。

【0004】低電力駆動装置600は、この無駄に消費される無効電力を回収するものであり、次のような動作をする。図12(b)のように、出力を立上げる場合、pMOS611をオンにして図13のような等価回路を形成する。L1、CLによって構成される共振回路によって出力は V_0 まで立上り、その瞬間にpMOS612をオンにして出力を V_0 に固定する。逆に出力を立下げる場合、nMOS621をオンにして図13のような共振回路を構成して出力を0Vまで立下げ、nMOS622をオンにして0Vに固定する。これら一連の動作は、共振回路の動作であり、CLを充電したエネルギーは再びCRに回収される。又、この動作によってCRの電位は、自動的に $V_0/2$ に固定される。

【0005】この低電力駆動装置600をPDP装置に適用する場合、例えば図14のように出力端601をプラズマディスプレイパネルのスクアン駆動回路等の駆動IC500の高圧部共通電源端子501に接続して用いられる。駆動IC500は、高圧部共通電源端子501から入力される高電圧 V_0 を選択部510を介して出力端506a～506xからプラズマディスプレイパネルの所定の電極に供給しており、CLはこの出力端506a～506xからみた容量である。選択部510は、複数のCMOSスイッチ部511～51xで構成され、例えばCMOSスイッチ部511は、pMOS511Pのソースドレイン路とnMOS511Nのソースドレイン路との直列接続体により高圧部共通電源端子501に接続された高電圧共通配線と接地の間を接続すると共に、共通接続点N21を出力端506aに接続している。他のCMOSスイッチ部502～50xも、説明は省略するが、同じ構成である。以下、CMOSスイッチ部511を例として説明する。このような構成で、負荷容量CLから放電される電荷を回収する電力回収動作時、駆動IC500の出力端506a、共通接続点N21、pMOS511Pを介して、容量CRに回収される。このため、駆動IC500を、通常のシリコン基板上に自己分離構造で形成した場合、図15(a)のような素子断面構造となり（等価回路は図16(a)）、P型基板530とNウェル寄生バイポーラトランジスタ591を経由して洩れ電流 I_r が発生し、電力回収効率低下の一因となっていた。これに対し、SOI基板上に溝分離構造で形成した場合は、図15(b)のような素子断面構造となり（等価回路は図16(b)）、負荷容量CLから放電される電荷は、全て容量CRに回収することができるという利点があり、表示装置用駆動ICを含む高耐圧半導体装置では、チップ基板としてSOI基板が多く用いられている。

【0006】

【発明が解決しようとする課題】表示装置の低電力化に加えて小型化、薄型化を進めるためには、駆動回路として大量に使用される、半導体装置の小型化、薄型化が必

須であり、駆動回路についてもTCP（Tape Carrier Package）等の薄型パッケージへの搭載や、フリップチップ実装等のベアチップ実装への対応が求められている。このような薄型パッケージへの搭載や、フリップチップ実装等に際しては、例えば図10に示すように、半導体チップ800の裏面806（素子が形成されていない側の面）は、アイランド等の他の導電体と接続されずフローティング状態となるのが、通常である。このため、チップ基板としてSOI基板を用いた場合、通常は導電性支持基板がフローティング状態となる。従って、チップ基板にSOI基板を用いたチップ800で、導電性支持基板801がフローティング状態になると、導電支持基板801の電位が不安定になる。また、SOI基板の半導体層803に形成されたp-n接合の逆耐圧は、例えば特許第2654268号公報或いは特許第3061020号公報に開示されているように、導電性支持基板801の電位に依存して変化するので、導電支持基板801がフローティング状態となってその電位を適切な値に固定できないと、逆耐圧が大きく低下するという問題が生じる。このため、SOI基板を用いたチップは、通常のリードフレームのようにアイランドを有するパッケージへは従来から搭載されていたが、素子が形成されていないチップ裏面がフローティング状態となって裏面電位を固定できない、TCPを含むパッケージへの搭載或いはフリップチップ実装等への適用は出来なかった。

【0007】この問題を解決する一つの方法として、特開平6-244239号公報（以下、公知例2とする）、特開平11-354631号公報（以下、公知例3とする）或いは特開2000-156408号公報（以下、公知例4とする）には、チップ基板としてSOI基板を用いた場合でも、所望の電位を素子が形成された半導体層側から導電性支持基板に付与できる構造を備えた半導体装置が開示されている。

【0008】図17は、公知例2に開示された半導体装置をフリップチップ実装したときの主要部（スクライブ端面近傍）を拡大した部分断面図である。図17を参照すると、この半導体装置の半導体層1603は中間絶縁膜1602により半導体基板1601から絶縁されるが、半導体基板1601に達する凹部1609の側面に敷設された短絡導体1610は半導体基板1601と周辺領域部1603bとを短絡しており、これにより半導体基板1601には周辺領域部1603bと同じ電位が付与される。周辺領域部1603bは素子形成領域部と同様に例えばパンプ1607を通じて配線基板1608から電位を付与される。すなわち、素子が形成された半導体層1603の表面側から半導体基板1601に電位を付与できる。

【0009】図18は、公知例3に開示された半導体装置の主要部断面図である。図18を参照すると、この半導体装置は、シリコン基板1741aの表面層にN⁺型

半導体層1741bを含んだN型Si半導体支持基板1741の上にシリコン酸化膜1743を介してN⁻型半導体層1742を設けてSOI基板を構成している。半導体層1742の高耐圧MOSFET素子が形成される素子形成領域1730には、表面層にN⁺型半導体領域1744を設け、このN⁺型半導体領域1744を所定距離離間して環状に取囲むようにシリコン酸化膜1743までの深さでP型半導体領域1745を設けている。P型半導体領域1745の表面層には半導体層1742とP型半導体領域1745間のPN接合からチャネル長として所定距離離間した位置にN⁺型半導体領域1753を設け、N⁺型半導体領域1753と隣接してP⁺型半導体領域1754を設けている。N⁺型半導体領域1744にはドレイン電極1746を、N⁺型半導体領域1753とP⁺型半導体領域1754にはソース電極1747をオーム接触して設けている。半導体層1742にはシリコン酸化膜1743に達し半導体層1742を複数の部分に絶縁分離する絶縁分離層1749を設けており、素子形成領域1730はこの絶縁分離層1749により取囲まれている。この素子形成領域1730から絶縁分離された半導体層1742の基板電位取出し領域1740にはシリコン酸化膜1743を貫通し半導体支持基板1741に達するN⁺型ポリシリコンからなる導電層1752を設けている。尚、半導体支持基板1741の表面層がP⁺型のときはP⁺型ポリシリコンからなる導電層を設ける。導電層1752上には基板電位固定電極1748を接続している。図示されていないが、基板電位固定電極1748は、ソース電極1747と同電位で接続している。半導体層1742の表面にはドレイン電極1746、ソース電極1747及び基板電位固定電極1748が接続される位置を除いて絶縁膜1751を設けている。絶縁膜1751中にあって、P型半導体領域1745上の半導体層1742とN⁺型半導体領域1753間位置に絶縁膜1751に含まれるゲート酸化膜1755を介してゲート電極1756を設けている。

【0010】上記構成の半導体装置のNチャネル高耐圧MOSFETの動作は、ソース電極1747と基板電位固定電極1748を0Vとして、ゲート電極1756をオフ制御状態でドレイン電極1746に正電圧を印加していくと、半導体層1742とP型半導体領域1745間のPN接合から半導体層1742側に空乏層が伸びる。このとき、半導体支持基板1741は、基板電位固定電極1748から導電層1752を介して全体が0Vになっており、シリコン酸化膜1743を介してフィールドプレートとして働くので上記の空乏層に加えて半導体層1742とシリコン酸化膜1743間の界面から半導体層1742の表面に向かう方向に空乏層が伸びるため、この影響により先の空乏層が伸びやすくなり、半導体層1742とP型半導体領域1745間のPN接合の電界は緩和される。

【0011】このようにSOI基板の半導体支持基板1741の電位を、表面に設けた基板電位固定電極1748を介してソース電極1747の電位に固定することにより、チップ基板にSOI基板を用いたチップに、SOI基板の裏面に電極を設けることなくMOSFET素子が形成される素子形成領域1730内での表面電界緩和効果を利用して高耐圧MOSFET素子の搭載が可能で、且つこの高耐圧MOSFETを有する半導体装置のチップを、(1)面実装型のICパッケージとしてのBGA (Ball Grid Array)、CSP (Chip Size Package) に搭載できるようにし、(2)チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、ダイボンディングコストを安くするための絶縁ペーストの使用を可能にしている。

【0012】図19は、公知例4に開示された半導体装置の断面構成図である。図19を参照すると、この半導体装置はP型シリコンの半導体支持基板1801上に第1絶縁酸化膜1802が形成され、更に第1絶縁酸化膜1802上にP型シリコンのSOI層1803が設けられ、このSOI層1803に図示されていない半導体素子が形成されている。

【0013】又、SOI層1803及び第1絶縁酸化膜1802を貫通して半導体支持基板1801の表面に達する開孔1804が所定の位置に形成され、開孔1804の側面及び底面を第2絶縁酸化膜1806で充填して素子分離領域が形成されており、SOI層1803に形成された半導体素子が電氣的に分離される。更に、SOI層1803及び第1絶縁酸化膜1802を貫通して半導体支持基板1801の表面に達する開孔1805が所定の位置に形成され、開孔1805の側面及び底面をP型ポリシリコンで充填して、半導体支持基板1801に電位を与えるための導電体層1807を形成している。

【0014】又、SOI層1803上には、導電体層1807に達する開口1809が形成された第3絶縁酸化膜1808が堆積され、更にこの第3絶縁酸化膜1808上に配線用のアルミニウム電極1810が形成されている。電極1810は、同時に開孔1809を充填して導電体層1807と電氣的に接続している。このような構成により、表面に形成された電極1810から所望の電位を半導体支持基板1801に付与することを可能にしている。

【0015】上述した公知例2～3は、いずれもSOI基板の素子を形成する半導体層表面から導電性支持基板への電位付与を可能にし、チップ裏面に電極を設けることなく導電性支持基板の電位を固定できているが、構造が複雑で、且つ工程追加が必要となるという問題がある。例えば、公知例2では、半導体層表面から導電性支持基板への電位付与のために、少なくともスクライプ領域の半導体層及び半導体層と導電性支持基板を絶縁する中間絶縁層を除去して凹溝を形成する工程と、アルミニ

ウムを堆積して凹溝側壁に短絡導体を形成する工程とを追加する必要がある、公知例3、4は、いずれもSOI基板の素子を形成する半導体層表面から絶縁層を貫通して導電性支持基板に達する接続用開口を設ける工程と、この接続用開口内を多結晶シリコンで充填する工程と、を追加する必要がある。尚、接続用開口を素子分離溝と同時に形成することもできるが、その場合接続用開口と素子分離溝とは充填材が異なるため、詳細な説明は省略するが、他の工程を追加する必要がある、工程追加の程度に大きな差は無い。

【0016】従って、本発明の目的は、チップ基板にSOI基板を用いながら、新たな工程追加なしで、裏面電極を設けることなく導電性支持基板の電位を所望の電位に固定できる半導体装置を提供することにある。これにより、高耐圧半導体装置の薄型化や、フリップチップ実装対応が可能となり、平面型表示装置の電力回収効率の向上と表示装置の小型化、薄型化を両立させることができるようになる。

【0017】

【課題を解決するための手段】本発明者等は、上記薄型の高耐圧半導体装置の開発過程において、種々の実験の結果次のような知見を得た。すなわち、チップ基板にSOI基板を用いた場合でも、チップをダイシングにより個片化すると、チップの測端面の絶縁層に電気的導通路が生じ、半導体層の周縁部と導電性支持基板との間で電流経路が形成される。そして、半導体層の少なくとも周縁部と導電性支持基板の導電性を同一にしておけば、導電性支持基板の裏面が他の導電材料と接続されない状態であっても、導電性支持基板の電位は半導体層周縁部の電位と同じにできることが分かった。本発明は、この知見に基づいて上記課題を解決するものである。

【0018】そのため、本発明による半導体装置は、導電性支持基板の上に絶縁層を介して半導体層を積層した構造を有するSOI基板の前記半導体層中に所望の素子を形成したチップを有し、このチップは、前記半導体層中に、絶縁材料を充填した前記絶縁層に達する分離溝と、この分離溝で周囲を囲み内部に前記所望の素子を形成した素子形成領域とを、それぞれ複数備え、更にいずれの前記分離溝にも囲まれない周辺領域の所定の位置に設けられたコンタクト領域と、少なくとも一つの前記素子形成領域内の所定の電位の電極とを接続する周辺領域接続配線を有することを特徴としている。

【0019】このとき、前記分離溝の中の 하나가、全ての前記素子形成領域を囲む最外周分離溝であってよい。又、少なくとも2重の前記分離溝で周囲を囲み内部に前記所望の素子を形成した第2素子形成領域を更に備えることもできる。

【0020】又、前記チップが、例えば電源電圧が10V以下で動作する低電圧動作回路と、20V以上で動作する高電圧動作回路とを含むとき、少なくとも前記高電

圧動作回路を構成する素子は前記第2素子形成領域内に形成するのが望ましい。

【0021】又、前記チップは、表示装置の駆動回路部を含むこともでき、更に少なくとも前記駆動回路部とは前記チップ内部で接続すると共に、電力回収回路にも接続する回収用電極を更に備えることもできる。又、前記表示装置は、少なくともプラズマディスプレイ装置及びエレクトロルミネッセンスディスプレイ装置を含む平面型表示装置の中から選択できる。

【0022】又、前記導電性支持基板が一導電型半導体基板のとき、少なくとも前記チップの前記周辺領域となる前記半導体層は、一導電型であるのが望ましい。

【0023】又、前記チップを、パッケージに搭載して組み立てる際には、前記導電性支持基板が露出した前記チップの裏面がチップを搭載するアイランドを含む他の導電性材料と接触しない状態であってもよい。

【0024】又、前記半導体装置の製造方法は、一導電型半導体基板上に絶縁層を介して一導電型半導体層が形成されたSOIウェハを準備する第1工程と、前記一導電型半導体層に前記絶縁層に達する分離溝を開口して所定の絶縁材料を充填し、複数の素子形成領域を区画すると共に同一チップ内の全ての前記素子形成領域を囲む最外周分離溝を形成する第2工程と、前記分離溝で区画された複数の前記素子形成領域に所望の素子を形成する第3工程と、前記ウェハ上に互いにスクライプ領域を介して整列状態で配列された複数の前記チップの各々について、前記最外周分離溝の外側の周辺領域の所定の位置に設けられたコンタクト孔を介して、前記素子形成領域内の所定の電位の電極と接続する周辺領域接続配線を含むチップ内接続配線を形成する第4工程と、前記スクライプ領域をダイシングすることにより複数の前記チップを個片化する第5工程と、を少なくとも含み構成される。

【0025】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0026】図1、2は、本発明の半導体装置の一実施形態を説明するための図で、図1は半導体装置のチップ全体の模式的な平面図、図2(a)、(b)は、それぞれ図1のA1-A1'部及びA2-A2'部の模式的な断面図である。図1、2を参照すると、本実施形態のチップ110は、導電性支持基板である例えば比抵抗 $10\Omega\cdot\text{cm}$ で厚さが $650\mu\text{m}$ 程度のP型第1シリコン(Si)基板101の一主表面上に絶縁層である膜厚が略 $1\mu\text{m}$ のシリコン酸化膜(以下、 SiO_2 膜とする)102と半導体層である比抵抗が $10\Omega\cdot\text{cm}$ で厚さが $5\mu\text{m}$ 程度のP型第2Si基板103がこの順序で積層され、第2Si基板103の中に分離溝111及び112と、最外周分離溝115と、これらにより絶縁分離された複数の素子形成領域120と、第2素子形成領域121、123と、周辺領域130と、この周辺領域13

0のコンタクト領域135と例えば分離溝112で囲まれた第2素子形成領域123内の所望の電位、例えば接地電位に接続するコンタクト領域125とを接続するフィールド絶縁膜140上に形成された配線150と、を少なくとも備えている。尚、図示は省略するが、この半導体装置で必要とされる全ての素子は、少なくとも最外周分離溝115で囲まれた素子形成領域120及び第2素子形成領域121、123に形成してあり、且つ公知の配線技術を用いてこれらの素子間を接続しているこのとき高電圧が印加される素子は、できるだけ第2素子形成領域に設けるようにしている。又、素子形成領域121及び第2素子形成領域121、123の導電型は、所望の素子に応じてイオン注入等により種々変更されるが、少なくとも周辺領域130は、P型となっている。又、このチップ110は、図3に模式的に示すように、ウェハ100上に整列状態で配列して製造され、ウェハ処理工程が終了した後、ダイシングによりスクライプライン109に沿って切断し、個片化する。

【0027】チップ110をダイシングにより個片化すると、チップ110の測端面107の SiO_2 膜部105に図示されていない電気的導通路が生じ、第2 Si 基板103の周辺領域130と第1 Si 基板101との間で電流経路が形成される。従って、周辺領域130と第1 Si 基板101の導電型を同一にしておけば、第1 Si 基板101の裏面106が他の導電体と接続されない状態であっても、第1 Si 基板101の電位は周辺領域130の電位と同じになる。又、本実施形態のチップ110の周辺領域130は、上述の通り最外周分離溝115により素子形成領域120及び第2素子形成領域121、123を含む全ての素子形成領域から電気的に絶縁分離されており、いずれの素子及び素子形成領域へも影響を及ぼすことなくチップ110上の任意の電位の電極と配線150により接続することができる。これにより、図10のようにチップ裏面が他の導電材料に接続されない状態で組み立てられる例えばTCPに搭載する、或いはパンプ電極201によりフェイスダウンで実装基板70にフリップチップ実装する場合でも、従来のチップ800の代わりに本実施形態のチップ110を用いれば、チップ110上の電位から選択した任意の所望の電位を周辺領域130を介して第1 Si 基板101に供給することができ、第2 Si 基板103中に形成された素子の耐圧低下を防止できる。

【0028】次に、本発明の半導体装置の製造方法の概要を、上述の構成を有するチップ110の製造方法も含めて説明する。

【0029】本発明の半導体装置の製造方法は、少なくとも、一導電型半導体支持基板上に絶縁層を介して一導電型半導体層が形成されたSOIウェハを準備する第1工程と、前記絶縁層に達する分離溝を開口し所定の絶縁材料を充填して複数の素子形成領域を区画する第2工程

と、前記分離溝で区画された複数の前記素子形成領域に所望の素子を形成する第3工程と、前記ウェハ上に互いにスクライプ領域を介して整列状態で配列された複数のチップの各々について、一つのチップに含まれる複数の素子形成領域の全てを囲む最外周分離溝の外側の周辺領域の所定の位置に設けられたコンタクト孔を介して、前記素子形成領域内の所定の電位の電極と接続する周辺領域接続配線を含むチップ内接続配線を形成する第4工程と、を含むウェハ処理工程、前記スクライプ領域をダイシングすることにより複数の前記チップを個片化する第5工程と、を含み構成される。

【0030】まず、チップ110の製造方法について説明する。図4、5は、チップ110の製造方法の一例を示すフローチャートであり、図6乃至9は、図4、5のフローチャートに沿ったチップの製造方法を説明するための図で、主な工程での要部断面（図1のA1-A1'部断面に相当）を模式的に示す工程毎断面図である。

【0031】図6乃至9を参照すると、まず第1工程で、比抵抗がほぼ $10\Omega\cdot\text{cm}$ 、厚さが $650\mu\text{m}$ 程度でP型の第1 Si 基板101の一面表面上に膜厚が略 $1\mu\text{m}$ の SiO_2 膜102と、比抵抗がほぼ $10\Omega\cdot\text{cm}$ 、厚さが $5\mu\text{m}$ 程度でP型の第2 Si 基板103をこの順序で積層した、直径が6インチのウェハ100を準備し、このウェハ100の表面全面に、化学気相成長（以下、CVDとする）法により SiO_2 膜5を略 $0.5\mu\text{m}$ の厚さ堆積するマスク層形成処理を行う（図6（a））。

【0032】次に、第2工程で、ウェハ100の表面全面にフォトレジスト（以下、PRとする）181を塗布し、所定のレティクル（図示せず）を用いて露光、現像して、素子形成領域120、第2素子形成領域121、123及び周辺領域130を互いに分離する例えば幅hの分離溝形成用開口部7パターンを形成し、更にこれらの開口部7の SiO_2 膜5を公知のエッチング技術を用いて除去し、第2 Si 基板2を露出させる分離溝形成領域開口処理を行う（図6（b））。次に、PR181を除去した後、 SiO_2 膜5をエッチングマスクとして、第2 Si 基板103の露出した部分を異方性エッチング技術を用いて除去し、 SiO_2 膜102を露出させて最外周分離溝115及び分離溝112を形成するトレンチ形成処理を行い、素子形成領域120、第2素子形成領域123を含む全ての素子形成領域及び周辺領域130を互いに分離する。このとき、分離溝112、115の側壁部に若干の傾斜をもたせて、 SiO_2 膜102が露出した底部よりも表面側の開口上端部の方が大きくなるようにする（図6（c））。次に、ウェハ100の表面全面にテトラエトキシシラン（以下、TEOSとする）ガスを用いた低圧気相成長（LPCVD）法により絶縁材料となるTEOS酸化膜11を堆積して、分離溝112、115を完全に充填するトレンチ充填処理を行う

(図6(d))。次に、ウェハ100の表面に堆積しているTEOS酸化膜11及び SiO_2 膜5を全面エッチバックして、素子形成領域120、第2素子形成領域123を含む全ての素子形成領域及び周辺領域130の第2 Si 基板103を露出させるマスク層除去処理を施す(図7(e))。

【0033】次に、第3工程で、公知の方法によりフィールド絶縁膜140及び所望の素子を形成する(図7(f))。ここでは、ソース及びドレインとなる拡散領域43、44と側壁酸化膜42とゲート酸化膜41aとゲート電極41を有する電界効果トランジスタ40のみを一例として示してある。次に、ウェハ100の表面にCVD法により例えば SiO_2 膜52を厚さ $1.5\mu\text{m}$ 程度堆積した後(図7(g))、この SiO_2 膜52を全面エッチバックして、例えば第2素子形成領域123で生じている段差31を低減する平坦化処理を施す(図8(h))。

【0034】次に、コンタクト工程を行う。具体的には、例えば図5(a)に詳細フローの一例を示すように、PR塗布ステップでウェハ100の表面全面にPR183を塗布し、露光ステップでコンタクト孔12s、12d、12g(以下、12で代表するものとする)、124及び周辺領域接続用コンタクト孔134を含む所定のコンタクト孔パターンを備えたレティクル(図示せず)を用いて露光し、現像ステップでコンタクト孔12、124、134のパターンを現像して素子形成領域120及び第2素子形成領域123を含む各素子形成領域に形成された共通領域を含む各素子のコンタクト領域に接続するコンタクト孔12、124及び周辺領域130に接続するコンタクト孔134のパターンを形成し、コンタクト孔開口ステップで SiO_2 膜52及び SiO_2 膜5をエッチング除去してコンタクト孔12、124、134を開口(図8(i))した後、PR183を除去する。

【0035】次に、開口した各コンタクト孔12、124、134から、各コンタクト領域14、125、135に必要な応じて所定の不純物を所定量だけ注入する。例えばボロン注入してP型コンタクト領域を形成する場合、注入量 N は、 $1.0 \times 10^{14} \text{atms} \cdot \text{cm}^{-2} \leq N \leq 1.0 \times 10^{15} \text{atms} \cdot \text{cm}^{-2}$ 程度が好ましい。

【0036】次に、プラグ形成工程で、ウェハ100の表面全面にタングステンをCVD法により堆積してコンタクト孔12、124、134をタングステンで充填した後、タングステンを全面エッチバックして平坦部の SiO_2 膜52上のタングステンを除去する。これにより、コンタクト孔12、124、134には、タングステン15s、15d、15g、126、136が充填金属として残り、コンタクト孔12、124、134の部分が平坦化される。(図8(j))。

【0037】次に、第4工程で、ウェハ100の表面全

面に配線用導電材料としてアルミニウム(以下、Alとする)を所定の厚さだけスパッタ法により堆積してAl膜16を形成する配線膜堆積処理を行い(図8

(k))、更に、ウェハ100の表面全面にPR184を塗布して所定の周辺領域接続配線を含む配線パターンを備えたレティクル(図示せず)で露光、現像し、公知の例えばドライエッチング技術により配線部以外のAlを除去して、例えば第2素子形成領域123内の所定の電位の電極になっているコンタクト領域125と周辺領域130のコンタクト領域135とを接続する周辺領域接続配線150、及び所望の素子間を接続する内部接続配線160を形成する配線形成処理を施す(図9(l))。

【0038】次に、保護膜形成工程で、ウェハ100の表面全面に、周辺領域接続配線150及び内部接続配線160を保護する SiO_2 膜を厚さ t_1 (但し、 $0.3\mu\text{m} \leq t_1 \leq 1\mu\text{m}$ が望ましい)だけ堆積して保護酸化膜17を形成し(図9(m))、続いてその上にSOG(Spin On Glass)18を塗布し、加熱硬化させた後平坦部の保護酸化膜17が露出するまでSOG18を全面エッチバックして表面の凹凸を緩和(図9(n))し、更にその上にシリコン窒化膜(Si_3N_4 膜)を厚さ t_2 (但し、 $0.1\mu\text{m} \leq t_2 \leq 0.5\mu\text{m}$ が望ましい)だけ堆積して保護窒化膜19を形成する(図9(o))。尚、この保護窒化膜19は、シリコン酸窒化膜(SiON 膜)を用いることもできる。続いて、外部接続電極部開口工程で、公知のフォトリソグラフィ技術とエッチング技術を用いて外部接続電極部161を開口し、必要に応じて更に例えばチタン164を下敷き金属としてバンブ201を形成(いずれも図示せず)してウェハ処理工程を終了する。

【0039】又、当該チップ110が多層配線構造の場合は、配線形成処理の後、改めて図示はしないが、公知の多層配線製造方法による多層配線形成工程を施した後、保護膜形成工程と外部接続電極部開口工程を施し、最上層配線を保護する所定の厚さの保護絶縁膜を形成した後、外部接続電極部161を開口し、必要に応じて更にバンブ201を形成してウェハプロセスを終了する。尚、多層配線形成工程は、例えば図5(b)に示すように、層間絶縁膜形成ステップ、層間ヴィアホール形成ステップ、ヴィアホールを金属で充填するプラグ形成ステップ、上層配線膜堆積ステップ及び上層配線形成ステップを含む工程を必要回数(k 層の場合は $k-1$ 回)繰り返すことにより構成することができる。

【0040】1層配線構造、多層配線構造に関わらず上記ウェハプロセスを終了した後、第5工程で、ウェハ100のスクライブ線109をダイシングにより切断してチップ110を個片化し、所望のパッケージに搭載して半導体装置が完成する。或いは、パッケージに搭載することなく、ベアチップのまま実装基板に搭載することも

できる。

【0041】例えば、図10(a), (b)のチップ800の代わりに、それぞれ上述の工程により製造したチップ110を用いたものとする。TCPに搭載した場合は、例えば予めポリイミドフィルム82に設けられた窓内の銅箔等からなるインナリード80をチップ110の素子形成面側に設けた外部接続用パンプ201と接続し、チップ110の外部接続用パンプ201を含む素子形成面及びチップ110の側端面107を封止樹脂85で封止する。このとき、チップ110の導電性支持基板である第1Si基板101の裏面106は他の導電材料と全く接触していない。又、図10(b)のベアチップ実装の場合も、チップ110は、実装基板70上の電極71とパンプ201を介してフェイスダウンで接続しており、やはり第1Si基板101の裏面106は他の導電材料と全く接触していない。しかし、本実施形態のチップ110の周辺領域130は、上述の通り最外周分離溝115により素子形成領域120及び第2素子形成領域121, 123を含む全ての素子形成領域から電気的に絶縁分離されており、いずれの素子及び素子形成領域へも影響を及ぼすことなくチップ110上の任意の電位の電極と配線150により接続することができる。しかも、チップ110をダイシングにより個片化すると、チップ110の測端面107のSiO₂膜部105に図示されていない電気的導通路が生じ、第2Si基板103の周辺領域130と第1Si基板101との間で電流経路が形成される。又、第1Si基板101の導電型も、周辺領域130の導電型もP型で同一であるので、第1Si基板101の電位は、周辺領域130の電位と同じになる。これにより、第1Si基板101の裏面106が他の導電体に接続されない状態でも、チップ110上の電位から選択した任意の所望の電位を周辺領域130を介して供給することができ、第2Si基板103中に形成された素子の耐圧低下を防止できる。

【0042】以上説明した通り、本実施形態の半導体装置は、PDP装置やEL装置等の平面型表示装置の高電圧を伴う駆動回路部を搭載するのに好適なSOI基板をチップ基板として用い、且つその支持基板が他の導電体と全く接触しない状態となっても、チップの周辺領域をチップ内部の所望の電位の電極と接続することにより、周辺領域及び測端面を介して所望の電位が支持基板に供給されているので、素子の耐圧低下等の特性劣化を抑制しながら、TCP等の薄型パッケージへの搭載、或いはフリップチップ実装等のベアチップ実装を可能にしている。

【0043】尚、上記実施形態は、最外周分離溝115を有するチップ110を例として説明したが、全ての素子形成領域が分離溝で囲まれていれば、最外周分離溝115は無くてもよい。図11は、最外周分離溝を配置しない場合を説明するための図で、(a), (b)はそれ

ぞれ最外周分離溝をもたないチップの模式的な平面図と(a)のB-B'部の模式的な断面図である。尚、この最外周分離溝をもたないチップ210もチップ基板の厚さ方向の構成は、チップ110と同様であるので、チップ110と同じ構成要素は図1と同じ参照符号を用い、説明は省略する。このチップ210は、最外周分離溝はもたないが、全ての素子形成領域231は、分離溝221で囲まれており、更に必要に応じて分離溝221と分離溝223で2重に囲まれた第2素子形成領域233を設けている。又、いずれの分離溝221にも囲まれない周辺領域230の所定の位置に設けたコンタクト領域235と、所望の電位の電極である例えばコンタクト領域225とを周辺領域接続配線250で接続している。尚、いずれの素子形成領域も、チップ辺端部を含むチップ周縁部が必ず周辺領域230となるように配置される。又、チップの個片化は、やはりダイシングにより行われるので、所望の電位が周辺領域230及びチップ測端面107を介して第1Si基板101に供給されるのは、チップ110の場合と同様であり、詳細な説明は省略する。更に、チップの製造方法も、チップ110の製造方法と全く同様であり、やはり説明は省略する。

【0044】又、本発明の半導体装置及びその製造方法は上記実施形態の説明に限定されるものでなく、その要旨の範囲で種々変更が可能である。例えば、導電性支持基板としては、Si基板を用いる場合、比抵抗が1~50Ω・cm、厚さが600~700μmであれば、導電型はP、Nいずれでもよい。又、Si基板でなくても、導電性を有し、製造工程上問題の無いものであれば、適切な材料を選択して用いることができる。半導体層としては、比抵抗が10~20Ω・cmで厚さが2~10μmの単結晶層を備えたシリコンが望ましいが、これに限定されるものではない。第1の絶縁膜としては、少なくとも導電性支持基板としてSi基板を用いる場合は、膜厚が0.5μm~2μmのSiO₂膜が好ましい。又、プラグ形成工程では、充填金属の例としてタングステンを示したが、基板温度を500℃程度にした高温スパッタ法を用いればAlを充填金属として用いることも可能である。更に、各コンタクト孔のサイズが十分大きい場合は、プラグ形成工程を省略することも可能である。又、配線を形成する金属として上記のAlに限らず、シリコン入りアルミニウム(AlSi)、銅入りアルミニウム(AlCu)、銅、シリコン入りアルミニウム(AlSiCu)などを用いることができる。

【0045】又、上記実施形態では、先にトレンチ領域開口処理及びトレンチ形成処理を含む第2工程を実施して分離溝112及び最外周分離溝115を形成した後、第3工程を実施して所望の素子を形成した例を説明したが、先に第3工程を実施して素子形成領域50に所望の素子を形成した後、第2工程を実施して、分離溝112, 115を形成することもできる。

【0046】

【発明の効果】以上説明したように、本発明の半導体装置及びその製造方法によれば、高耐圧、高電圧用途に好適なSOI基板をチップ基板として用いてながら、チップ裏面を他の導電体と接触させる必要が無く、TCPを初めとする薄型パッケージへの搭載が可能となり、薄型高耐圧半導体装置を実現できる、又、パッケージに搭載することなく、ベアチップのままで、フリップチップ実装等のフェイスダウン実装にも対応できる等の効果が得られる。

【0047】更に、これによりSOI基板をチップ基板として用いた半導体装置が使用されることの多い、高電圧を伴う装置にもTCP或いはベアチップ実装を適用でき、装置の小型化、薄型化を図ることが出来る。特に、表示部の駆動回路として多数使用されるPDP装置、EL装置等の表示装置の小型化、薄型化には、顕著な効果が得られる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施形態を説明するための図で、半導体装置のチップ全体の模式的な平面図である。

【図2】(a)、(b)は、それぞれ図1のA1-A1'部及びA2-A2'部の模式的な断面図である。

【図3】本発明の半導体装置のチップが配列されたウェハの模式的な平面図である。

【図4】本発明の半導体装置のチップの製造方法の一例を示すフローチャートである。

【図5】図4のフローチャートの一部の詳細を示す図である。

【図6】本発明の半導体装置のチップの製造方法を説明するための図で、主な工程での要部断面(図1のA1-A1'部断面に相当)を模式的に示す工程毎断面図である。

【図7】本発明の半導体装置のチップの製造方法を説明するための図で、主な工程での要部断面(図1のA1-A1'部断面に相当)を模式的に示す工程毎断面図である。

【図8】本発明の半導体装置のチップの製造方法を説明するための図で、主な工程での要部断面(図1のA1-A1'部断面に相当)を模式的に示す工程毎断面図である。

【図9】本発明の半導体装置のチップの製造方法を説明するための図で、主な工程での要部断面(図1のA1-A1'部断面に相当)を模式的に示す工程毎断面図である。

【図10】SOI基板を用いたチップの実装状態を説明するための図で、(a)、(b)はそれぞれTCP搭載した場合と実装基板にフリップチップ実装した場合の模式的な断面図である。

【図11】本発明の半導体装置の一実施形態の他の例を

説明するための図で、(a)は半導体装置のチップ全体の模式的な平面図、(b)は(a)のB-B'部の模式的な断面図である。

【図12】特許第2770657号公報に従来技術として記載されたプラズマディスプレイの低電力駆動装置を説明するための図で、(a)は回路図、(b)はその動作波形図である。

【図13】図12の低電力駆動装置が動作するときの等価回路である。

【図14】図12の低電力駆動装置をPDP装置に適用する例を説明する図である。

【図15】電力回収動作時の駆動ICの出力部の寄生素子を説明する図で、(a)、(b)はそれぞれ、通常のシリコン基板上に自己分離構造で形成した場合とSOI基板上に溝分離構造で形成した場合の素子構造を模式的に示す断面図である。

【図16】図15に基づく等価回路図で、(a)、(b)は、それぞれ図15の(a)、(b)に対応する。

【図17】特開平6-244239号公報に開示された半導体装置をフリップチップ実装したときの主要部(スクライブ端面近傍)を拡大した部分断面図である。

【図18】特開平11-354631号公報に開示された半導体装置の主要部断面図である。

【図19】特開2000-156408号公報に開示された半導体装置の断面構成図である。

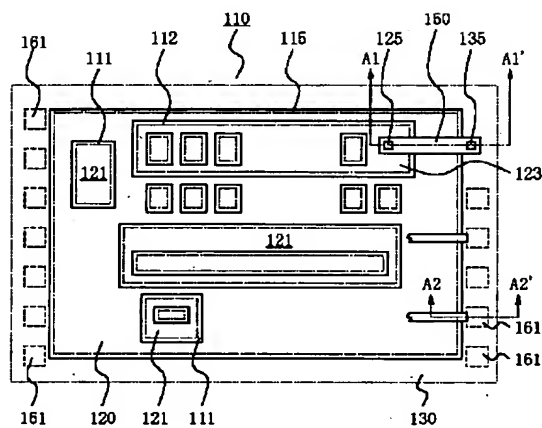
【符号の説明】

5, 52, 102	SiO ₂ 膜
7	開口部
11	TEOS酸化膜
12, 12s, 12d, 12g, 124, 134	コンタクト孔
14, 125, 135	コンタクト領域
15s, 15d, 15g, 126, 136	タングステン
16	Al膜
17	保護酸化膜
18	SOG
19	保護窒化膜
31	段差
40	電界効果トランジスタ
41	ゲート電極
41a	ゲート酸化膜
42	側壁酸化膜
43, 44	拡散領域
70	実装基板
80	インナリード
82	ポリイミドフィルム
85	封止樹脂
100	ウェハ

- 101 第1 Si 基板
 103 第2 Si 基板
 105 SiO₂ 膜部
 107 側端面
 109 スクライブ線
 110, 210 チップ
 111, 112, 221, 223 分離溝
 115 最外周分離溝
 125, 135, 225, 235 コンタクト領域
 120, 231 素子形成領域

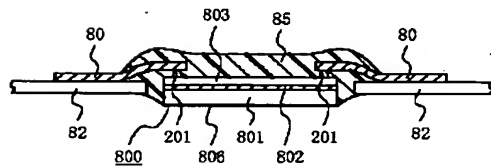
- 121, 123, 233 第2素子形成領域
 130, 230 周辺領域
 140 フィールド絶縁膜
 150 周辺領域接続配線
 160 内部接続配線
 161 外部接続電極部
 164 チタン
 181, 183, 184 PR
 201 バンプ

【図1】

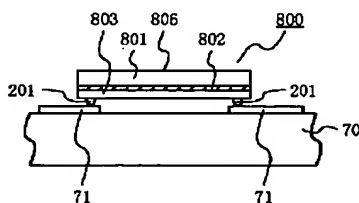


- 110 チップ
 111, 112 分離溝
 115 最外周分離溝
 120 素子形成領域
 121, 123 第2素子形成領域
 125, 135 コンタクト領域
 130 周辺領域
 150 周辺領域接続配線
 161 外部接続電極部

【図10】

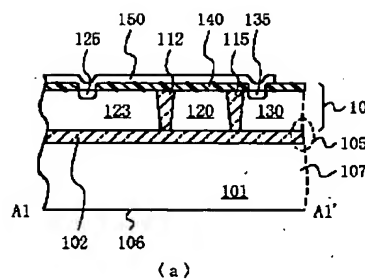


(a)

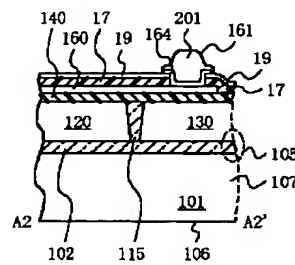


(b)

【図2】



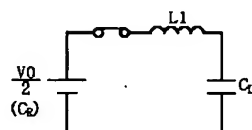
(a)



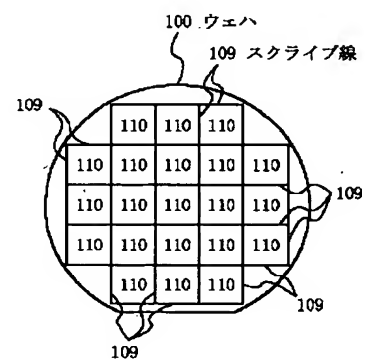
(b)

- 17 保護酸化膜
 19 保護酸化膜
 101 第1 Si 基板
 102 SiO₂ 膜
 103 第2 Si 基板
 105 SiO₂ 膜部
 107 側端面
 140 フィールド絶縁膜
 160 内部接続配線
 164 チタン
 201 バンプ

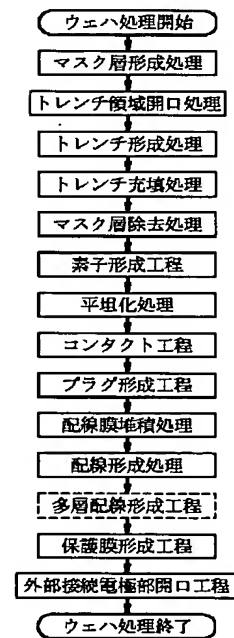
【図13】



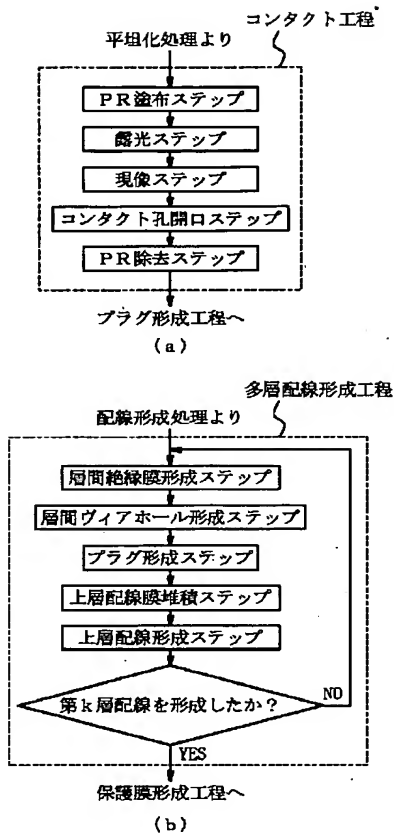
【図3】



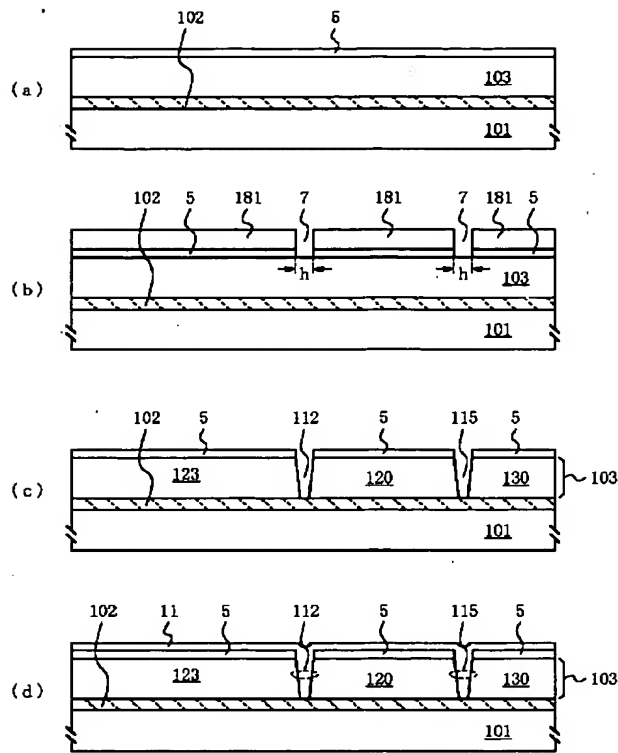
【図4】



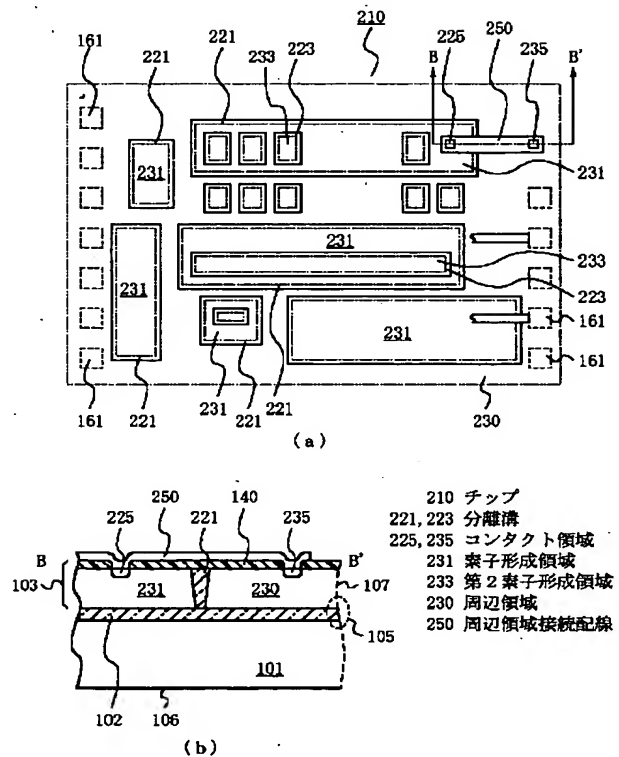
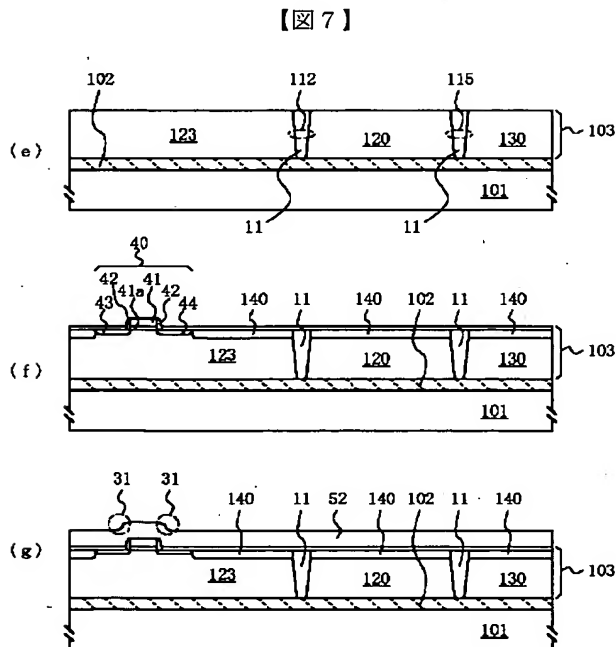
【図5】



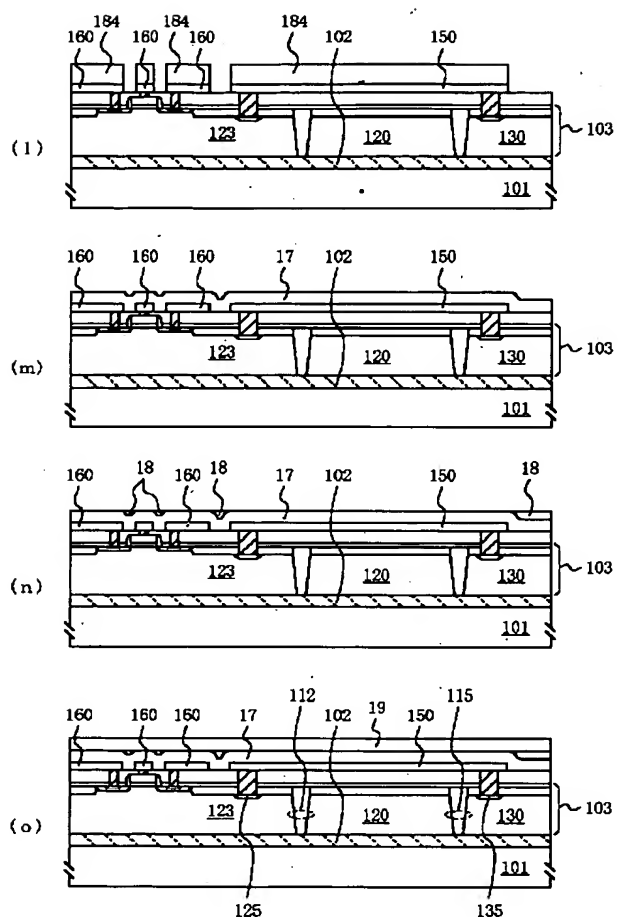
【図6】



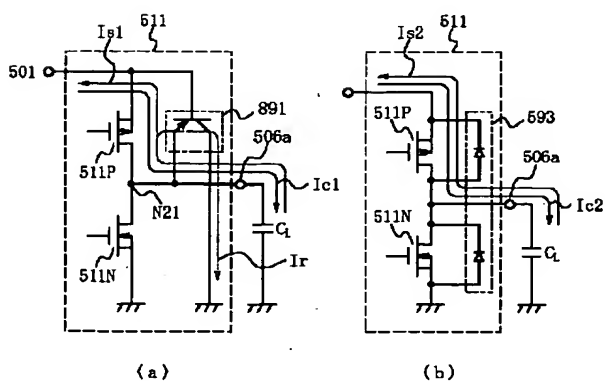
【図11】



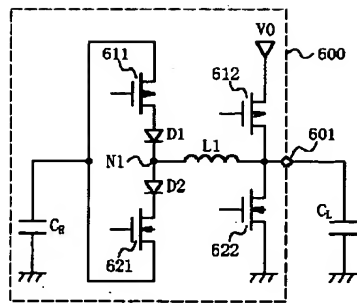
【図 9】



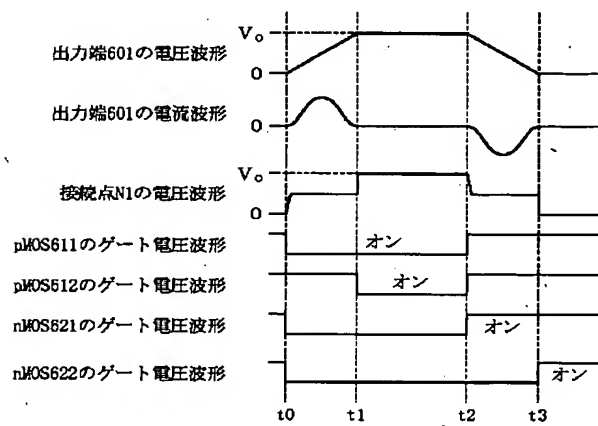
【图 16】



【図12】

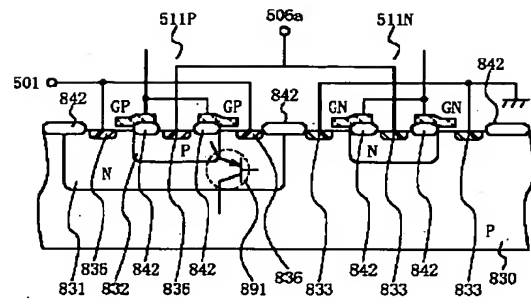


(a)

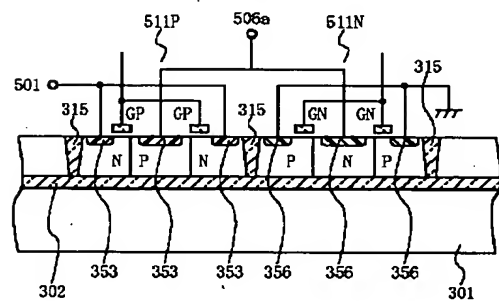


(b)

【図15】

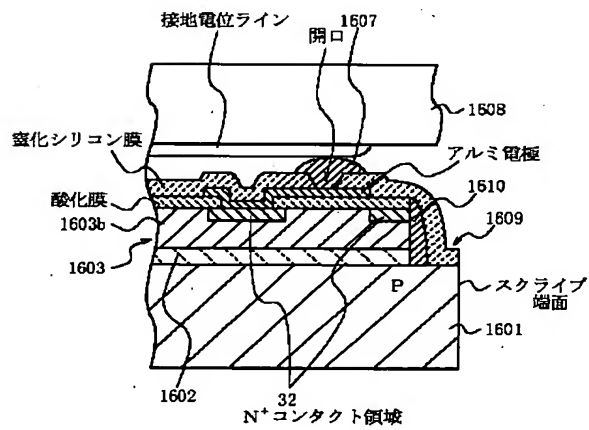


(a)

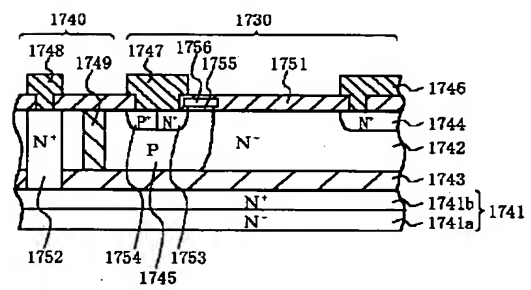


(b)

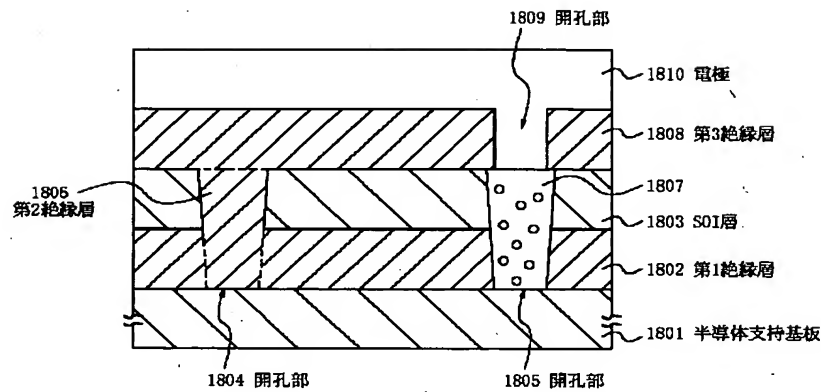
【図17】



【図18】



【図19】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
G 0 9 G 3/30		H 0 1 L 27/12	C
H 0 1 L 21/762		29/78	6 2 6 B
21/8238		G 0 9 G 3/28	J
27/092		H 0 1 L 21/76	D
27/08	3 3 1	27/08	3 2 1 F
27/12		29/78	6 2 1

F ターム (参考) 5C080 AA05 AA06 BB05 DD25 DD26
 DD27 FF11 JJ03 JJ04 JJ06
 JJ07
 5F032 AA01 AA13 AA34 AA44 AA78
 CA17 CA24 DA02 DA03 DA25
 DA34 DA43 DA53
 5F048 AA09 AB10 AC04 BA16 BF02
 BF07 BF16 BF17 BG14
 5F110 AA15 BB01 CC02 DD05 DD06
 DD13 DD22 EE31 FF02 GG02
 GG06 GG12 GG60 HL03 HL04
 HL06 HL11 HL23 HL24 HM15
 NN03 NN04 NN22 NN23 NN24
 NN35 NN36 NN62 NN65 QQ19